

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-126349

(43)Date of publication of application : 15.05.1998

(51)Int.Cl. H04B 10/28
 H04B 10/26
 H04B 10/14
 H04B 10/04
 H04B 10/06
 H03K 5/08
 H04L 25/03

(21)Application number : 08-270514

(71)Applicant : NEC ENG LTD

(22)Date of filing : 14.10.1996

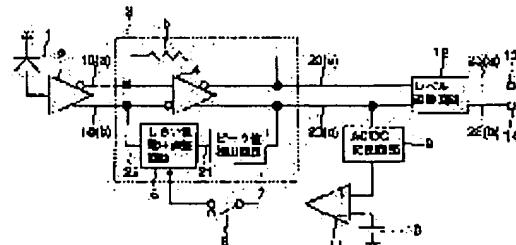
(72)Inventor : YAMANAKA HIDEAKI

(54) BURST LIGHT-RECEIVING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress deterioration in the duty factor and to suppress the effect of each tail.

SOLUTION: The circuit is provided with a level adjustment circuit 12 that is connected to an ATC circuit 3 and adjusts a level in matching with an interface level of a next stage, an AC/DC conversion circuit 9 that converts a non-inverting output of the ATC circuit into a DC level, a comparator 11 that receives an output of the AC/DC conversion circuit 9 at its non-inverting input terminal and receives a voltage from a reference bias source 10 at its inverting input terminal and a changeover switch 8 that is placed between the comparator 11 and a threshold voltage adjustment circuit 6 in the ATC circuit. A threshold voltage of the threshold voltage adjustment circuit 6 is initialized by using the changeover switch 8.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-126349

(43)公開日 平成10年(1998)5月15日

(51) Int.Cl.⁶
H 0 4 B 10/28
10/26
10/14
10/04
10/06

識別記号

F I

H 0 4 B 9/00
H 0 3 K 5/08
H 0 4 L 25/03

Y
R
E

審査請求 未請求 請求項の数 3 OL (全 5 頁) 最終頁に統ぐ

(21) 出願番号 特願平8-270514

(22) 出願日 平成 8 年(1996)10 月 14 日

(71) 出願人 000232047

日本電気エンジニアリング株式会社
東京都港区芝浦三丁目18番21号

(72) 発明者 山中 秀晃
東京都港区芝浦三丁目18番21号 日本電気
エンジニアリング株式会社内

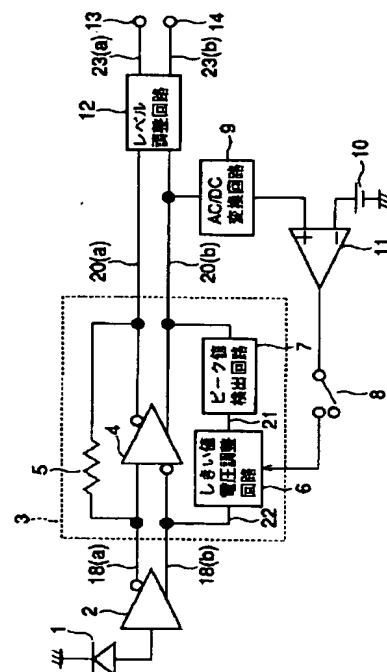
(74) 代理人 弁理士 岩本 直樹 (外2名)

(54) 【発明の名称】 パースト光受信回路

(57) 【要約】

【課題】 デューティ劣化を抑え、テールの影響を抑圧できるようにすること。

【解決手段】 A T C回路3に接続されて次段のインターフェースレベルにレベルを調整するレベル調整回路12と、前記A T C回路の正相出力をD Cレベルに変換するA C／D C変換回路9と、該A C／D C変換回路の出力を正極入力とし、基準バイアス源10を負極入力とする比較器11と、前記比較器と前記A T C回路内のしきい値電圧調整回路6との間に設けられた切替えスイッチ8とを有する。この切替えスイッチを用いて前記しきい値電圧調整回路のしきい値を初期設定する。



間に設けられた切替えスイッチとを有し、この切替えスイッチを用いて前記しきい値電圧調整回路のしきい値を初期設定する機能を備えることでテールの影響による出力信号のデューティ変動を抑えることを特徴とする。

【0009】なお、前記A T C回路は、前記ブリアンプの2つの出力を入力とし、前記正相出力を一方の出力とする差動アンプと、該差動アンプの前記正相出力を受け、あらかじめ定められたピーク値を検出するピーク値検出回路と、該ピーク値検出回路に接続された前記しきい値電圧調整回路とを含み、該しきい値電圧調整回路の出力が前記差動アンプの逆相入力に接続されて成る。

【0010】また、前記初期設定においては、前記切替えスイッチをONとした状態でマーク率1/2の信号を入力し、一方、前記基準バイアスのレベルはマーク率1/2時の信号振幅の平均レベルとする。

【0011】

【作用】A C / D C変換回路、比較器はデューティ監視回路として作用し、その出力をしきい値電圧調整回路に帰還することにより、A T C回路のしきい値電圧をテールの影響が最も少ないレベルに設定する。これにより次段のタイミング抽出回路における誤動作を抑圧する。

【0012】

【発明の実施の形態】図1に本発明の構成図を示し、図3には図1の各部の波形を示す。P D 1に入力されたバースト光信号はブリアンプ2で電流-電圧変換され、A T C回路3に出力される。A T C回路3において、差動アンプ4の逆相出力は抵抗素子5を介して正相入力に帰還される。また、差動アンプ4の正相出力にはピーク値検出回路7を接続して正相出力のピーク値21を検出し、しきい値電圧調整回路6でしきい値レベルを調整した後差動アンプ4の逆相入力に帰還する。これにより、信号は単極性符号/双極性符号変換され、しきい値電圧調整回路6で設定されたある一定のしきい値電圧22で識別される。その後、レベル調整回路12で次段のインタフェースレベルに変換された後、出力される。

【0013】本発明は、A T C回路3の正相出力をD Cレベルに変換するA C / D C変換回路9と、A C / D C変換回路9の出力を正極入力とし、基準バイアス源10を負極入力とする比較器11と、比較器11としきい値電圧調整回路6との間に設けられた切替えスイッチ8とを有し、この切替えスイッチ8を用いてしきい値電圧調整回路6のしきい値を初期設定する機能を備えた点に特徴を有する。

【0014】初期設定として、切替えスイッチ8をONとした状態でマーク率1/2の信号を入力し、A T C回

路3の正相出力をA C / D C変換回路9で直流信号に変換して比較器11の正極に入力する。一方、基準バイアス源10のレベルはマーク率1/2時の信号振幅の平均レベルとし、比較器11の負極に入力して比較した後、しきい値電圧調整回路6に帰還する。これにより、テール19の影響の最も小さいしきい値電圧22に決定する。次に、初期設定が終了した後切替えスイッチ8をOFFとする。

【0015】上記の初期設定を行うことにより、デューティ変動が最も少ない状態で受信可能となり、この結果、次段のタイミング抽出回路における誤動作を抑えることができる。

【0016】ここで、ピーク値検出回路7のピーク値保持時間は時定数によって決定され、ピーク値保持時間を経過すると信号は徐々に無信号時のレベルに回復する。ここでは説明の簡略化のため、バースト信号間の間隔はピーク値保持時間よりも充分に長く、信号レベルが無信号時のレベルに回復しているものとする。

【0017】
20 【発明の効果】以上説明したように、本発明ではA T C回路の出力にデューティを監視する回路を設け、A T C回路のしきい値電圧調整回路に帰還することでデューティ劣化を抑え、テールの影響を抑圧することができる。その結果、次段のタイミング抽出回路における誤動作を抑圧することができる。

【図面の簡単な説明】

【図1】本発明の構成を示した回路図である。

【図2】従来のバースト光受信回路の構成を示した図である。

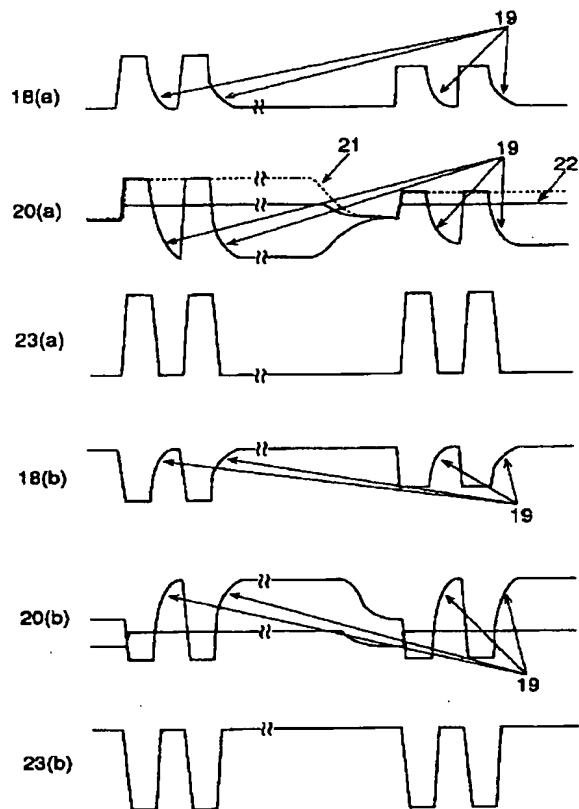
30 【図3】本発明の動作を説明するために図1の各部の信号波形を示した図である。

【図4】従来例の動作を説明するために図2の各部の信号波形を示した図である。

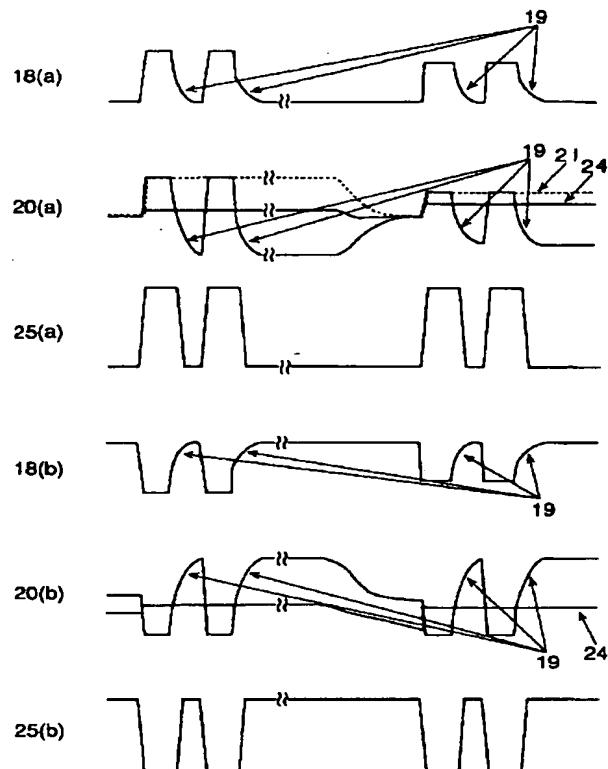
【符号の説明】

2	ブリアンプ
3	A T C回路
4	差動アンプ
6	しきい値電圧調整回路
7	ピーク値検出回路
40	切替えスイッチ
9	A C / D C変換回路
10	基準バイアス源
11	比較器
12	レベル調整回路

【図3】



【図4】



フロントページの続き

(51) Int. Cl. 6

識別記号

F I

H 03 K 5/08

H 04 L 25/03